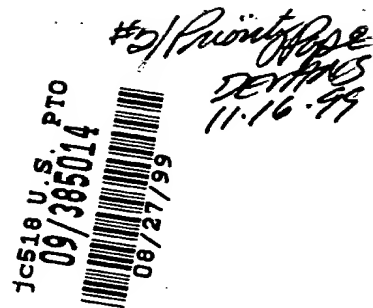


日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 8 年 1 0 月 7 日

出 願 番 号

Application Number:

平成 1 0 年 特 許 願 第 2 8 5 2 8 6 号

出 願 人

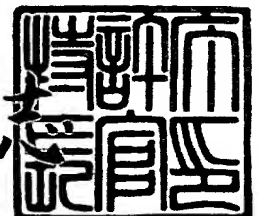
Applicant (s):

富士通株式会社

1 9 9 9 年 7 月 1 2 日

特 許 庁 長 官  
Commissioner,  
Patent Office

伴 佐 山 建 志



出 証 番 号 出 証 特 平 1 1 - 3 0 4 9 3 5 2

【書類名】 特許願

【整理番号】 9803843

【提出日】 平成10年10月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 3/2885

【発明の名称】 入力回路及び半導体集積回路装置

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 篠崎 直治

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100068755

    【住所又は居所】 岐阜市大宮町2丁目12番地の1

    【弁理士】

    【氏名又は名称】 恩田 博宣

    【電話番号】 058-265-1810

【手数料の表示】

    【予納台帳番号】 002956

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9706390

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 入力回路及び半導体集積回路装置

【特許請求の範囲】

【請求項 1】 外部信号を受け、それに応答した内部信号を出力する入力回路であって、

前記外部信号と基準信号がそれぞれ入力される一対のトランジスタを備え、前記外部信号と基準信号に基づいて前記一対のトランジスタにそれぞれ流れる電流に応じて、前記外部信号に応答した前記内部信号を出力する差動回路と、

前記内部信号のレベルに応答して動作し、前記差動回路の電流量を調整する電流調整回路と

を備えたことを特徴とする入力回路。

【請求項 2】 請求項 1 に記載の入力回路において、

前記電流調整回路は、前記外部信号の遷移方向に対応して前記内部信号の応答性を一定にするように前記差動回路の電流量を調整することを特徴とする入力回路。

【請求項 3】 請求項 1 又は 2 に記載の入力回路において、

前記電流調整回路は、前記差動回路に備えられる定電流源に並列に接続されて前記電流量を調整することを特徴とする入力回路。

【請求項 4】 請求項 3 に記載の入力回路において、

前記定電流源は高電位側電源に接続され、

前記電流調整回路は、前記定電流源に並列に接続され、前記内部信号に基づいてオンオフ動作するトランジスタであることを特徴とする入力回路。

【請求項 5】 請求項 3 に記載の入力回路において、

前記定電流源は低電位側電源に接続され、

前記電流調整回路は、前記定電流源に並列に接続され、前記内部信号に基づいてオンオフ動作するトランジスタであることを特徴とする入力回路。

【請求項 6】 外部信号と基準信号がそれぞれ入力される一対のトランジスタを備え、前記外部信号と前記基準信号に基づいて一対のトランジスタにそれぞれ流れる電流に基づいて、前記外部信号に応答した内部信号を出力する差動回路

と、前記内部信号のレベルに応答して動作し、前記差動回路の電流量を調整する電流調整回路とをそれぞれ備えた複数の入力回路と、

前記各入力回路から出力される前記内部信号の相補信号をそれぞれ出力する複数の相補信号生成回路と、

前記各相補信号生成回路から出力される前記相補信号のエッジに基づいて所定の信号処理動作を行う信号処理回路と

を備えたことを特徴とする半導体集積回路装置。

【請求項 7】 請求項 6 に記載の半導体集積回路装置において、

前記各相補信号生成回路は、それぞれ複数の CMOS インバータ回路で構成され、各相補信号生成回路のインバータ回路を同じ段数で構成したことを特徴とする半導体集積回路装置。

【請求項 8】 請求項 6 に記載の半導体集積回路装置において、

前記信号処理回路は、前記相補信号をラッチ動作し、

前記相補信号生成回路は、複数段のインバータ回路にて構成され、各インバータ回路を構成する MOS トランジスタの応答速度比率を、前記相補信号の不定時間が一定となるように設定したことを特徴とする半導体集積回路装置。

【請求項 9】 請求項 6 に記載の半導体集積回路装置において、

前記信号処理回路は、前記相補信号を構成する正相信号及び逆相信号の立ち上がりエッジで動作し、

前記相補信号生成回路は、複数段のインバータ回路にて構成され、各インバータ回路を構成する MOS トランジスタの応答速度比率を、前記内部信号のエッジから正相信号及び逆相信号の立ち上がりエッジまでのタイミングが等しくなるように設定したことを特徴とする半導体集積回路装置。

【請求項 10】 請求項 6 に記載の半導体集積回路装置において、

前記複数の入力回路は、前記外部信号としてストローク信号が入力される第 1 の入力回路と、前記外部信号としてデータ信号が入力される第 2 の入力回路とを有し、

前記信号処理回路は、前記第 1 の入力回路から出力される信号のエッジに基づいて前記第 2 の入力回路から出力される信号をラッチするラッチ回路であること

を特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、信号処理動作が高速化された半導体記憶装置に好適な入力回路及びその入力回路を備えた半導体集積回路装置に関する。

【0002】

近年、半導体記憶装置のさらなる高速化に伴い、外部から該装置に入力される外部入力信号が小振幅化している。このような半導体記憶装置には、外部入力信号を内部回路で動作可能な振幅の信号に増幅する入力回路が備えられる。入力回路は外部入力信号の立ち上がり及び立ち下がりエッジに基づいて該回路の出力信号の立ち上げや立ち下げを行う。しかしながら、その出力信号は、入力回路の構成によって、立ち上がり速度と立ち下がり速度に差が生じる。そのため、出力信号に基づいて動作する回路ではその速度の差を吸収するように、動作マージンが設定されなければならない。即ち、立ち上がりエッジと立ち下がりエッジの両方で動作しなければならないからである。この動作マージンは、半導体記憶装置の高速化を妨げる要因となる。そこで、このような入力回路では、立ち上がり及び立ち下がり速度を等しくし、半導体記憶装置を高速化することが望まれている。

【0003】

【従来の技術】

図6は、従来の入力ラッチ回路1を示す。入力ラッチ回路1は、第1及び第2の入力回路2a、2bとラッチ回路3とを備えている。

【0004】

第1の入力回路2aには、外部データストローブ信号DQSを入力する入力パッド4aが接続される。外部データストローブ信号DQSは、所定の規格に基づく第1、第2レベル $V_{IH}$ 、 $V_{IL}$ （以下、 $V_{IH}$ レベル、 $V_{IL}$ レベルという）のレベル差を振幅とする小振幅信号である。 $V_{IH}$ レベルの電位は電源 $V_{CC}$ の電位よりも所定の値だけ低く、 $V_{IL}$ レベルの電位は電源 $V_{SS}$ の電位よりも所定の値だけ高い。

【0005】

入力回路 2 a は、この外部データストロブ信号 DQS の振幅を電源 VCC、VSS レベルまで増幅し、外部データストロブ信号 DQS と同相のデータストロブ信号 dqsz を生成する。そして、入力回路 2 a は、生成したデータストロブ信号 dqsz を次段のラッチ回路 3 に出力する。

## 【0006】

このような入力回路 2 a は、図 7 に示すように 3 つの NMOS トランジスタ TN1~TN3、2 つの PMOS トランジスタ TP1、TP2、及びインバータ回路 5 で構成されている。

## 【0007】

NMOS トランジスタ TN1、TN2 のソースはともにノード N1 にて接続され、該ノード N1 は NMOS トランジスタ TN3 を介して低電位側電源 VSS に接続される。この NMOS トランジスタ TN3 のゲートには高電位側電源 VCC が供給される。つまり、NMOS トランジスタ TN3 は定電流源として動作し、ノード N1 の電位を一定に保っている。

## 【0008】

又、NMOS トランジスタ TN1 のドレインは PMOS トランジスタ TP1 を介して高電位側電源 VCC に接続される。NMOS トランジスタ TN2 のドレインは PMOS トランジスタ TP2 を介して高電位側電源 VCC に接続される。PMOS トランジスタ TP1、TP2 はカレントミラー回路 6 を構成している。即ち、PMOS トランジスタ TP1、TP2 のゲートは互いに接続されるとともに、該ゲートは PMOS トランジスタ TP2 のドレインに接続される。

## 【0009】

NMOS トランジスタ TN1 のゲートには前記外部データストロブ信号 DQS が入力される。一方、NMOS トランジスタ TN2 のゲートには基準電圧 Vref が入力される。因みに、基準電圧 Vref は、電源 VCC、VSS の中間電位、即ち  $(VCC + VSS) / 2$  である。この基準電圧 Vref は、V<sub>IH</sub>、V<sub>IL</sub> レベルの中間電位でもある。

## 【0010】

NMOS トランジスタ TN1 のドレインと PMOS トランジスタ TP1 のドレイン

との間のノードN2は出力ノードであって、該ノードN2はインバータ回路5の入力端子に接続される。インバータ回路5は、動作電源として電源VCC、VSSが供給され、出力端子から電源VCC、VSSレベルで振幅動作するデータストローブ信号dqszを出力する。

【0011】

このような入力回路2aでは、図8に示すように外部データストローブ信号DQSが基準電圧Vrefより高い電位のVIHレベルになると、NMOSトランジスタTN1の電流駆動能力がNMOSトランジスタTN2のそれより大きくなる。すると、NMOSトランジスタTN1のドレイン電流が増加し、NMOSトランジスタTN2のドレイン電流が減少する。このため、カレントミラー回路6の電流駆動能力が小さくなり、PMOSトランジスタTP1のドレイン電流が減少する。従って、ノードN2の電位はほぼ低電位側電源VSSレベルまで下降し、インバータ回路5は高電位側電源VCCレベルのデータストローブ信号dqszを出力する。

【0012】

一方、外部データストローブ信号DQSが基準電圧Vrefより低い電位のVILレベルになると、上記と逆に動作し、インバータ回路5は低電位側電源VSSレベルのデータストローブ信号dqszを出力する。

【0013】

第2の入力回路2bには、外部データ信号DQを入力する入力パッド4bが接続される。外部データ信号DQは、外部データストローブ信号DQSと同じ振幅を持つ信号である。

【0014】

第2の入力回路2bは前記第1の入力回路2aと同様に構成されている。入力回路2bは、この外部データ信号DQの振幅を電源VCC、VSSレベルまで増幅し、外部データ信号DQと同相のデータ信号dqzを生成する。そして、入力回路2bは、生成したデータ信号dqzを次段のラッチ回路3に出力する。

【0015】

ラッチ回路3は、データストローブ信号dqszの立ち上がりに対応してデータ信号dqzを取り込み、次のデータストローブ信号dqszの立ち上がりまで取り込んだ

データ信号dqz をラッチする回路である。ラッチ回路3は、そのラッチ信号を内部データ信号dinzとして図示しない次段の回路に出力する。

【0016】

従って、入力ラッチ回路1は、図9に示すように外部データストローブ信号DQSの立ち上がりに対応して外部データ信号DQを取り込み、次の外部データストローブ信号DQSの立ち上がりまで外部データ信号DQをラッチし、そのラッチ信号を内部データ信号dinzとして出力するように構成されている。このために、外部データストローブ信号DQSのエッジが、外部データ信号DQの中間位置、即ち図9において外部データ信号DQのセットアップ時間 $t_{IS}$ とホールド時間 $t_{IH}$ が等しくなるように両信号DQ、DQSのタイミングが決められている。

【0017】

【発明が解決しようとする課題】

ところで、 $V_{IH}$ レベルの外部データストローブ信号DQSがゲートに供給されるときのNMOSトランジスタTN1の電流駆動能力は、一定電位の基準電圧 $V_{ref}$ がゲートに供給されるNMOSトランジスタTN2の電流駆動能力に比べて大きい。つまり、言い換えれば、ノードN2の電位を上昇させるときのNMOSトランジスタTN2のドレイン電流、即ち該ドレイン電流に対応したカレントミラー回路6のノードN2への供給電流の方が、ノードN2の電位を下降させるときのNMOSトランジスタTN1のドレイン電流より小さくなる。

【0018】

そのため、図8に示すように、ノードN2の電位の上昇する速度が、その電位の下降する速度よりも遅くなり、動作遅延時間 $t_2$ が動作遅延時間 $t_1$ より長くなってしまふ。従って、データストローブ信号dqszは、立ち下がり時の動作遅延時間 $t_4$ が、立ち上がり時の動作遅延時間 $t_3$ よりも長くなる。このような問題は、第2の入力回路2bでも同様に発生し、データ信号dqzは、立ち下がり時の動作遅延時間 $t_4$ が、立ち上がり時の動作遅延時間 $t_3$ よりも長くなる。

【0019】

このように各入力回路2a、2bで生成されるデータストローブ信号dqszとデータ信号dqzの立ち下がりと立ち上がりの速度に差があると、図9における外部



データ信号DQのセットアップ時間 $t_{IS}$ とホールド時間 $t_{IH}$ とが不等になり、場合によってはラッチ回路3が間違ったレベルをラッチするおそれがある。これにより、ラッチ回路3は間違ったレベルの内部データ信号 $dinz$ を出力するため、次段の回路で誤動作を生じさせる。

## 【0020】

本発明は、上記問題点を解決するためになされたものであって、その目的は、外部信号に応答した内部信号を生成する入力回路であって、増幅時に発生する外部信号のエッジから内部信号の立ち上がりエッジ及び立ち下がりエッジの相対的な遅延を改善することができる入力回路及びその入力回路を備えた半導体集積回路装置を提供することにある。

## 【0021】

## 【課題を解決するための手段】

請求項1に記載の発明によれば、差動回路は、外部信号と基準信号がそれぞれ入力される一対のトランジスタを備え、外部信号と基準信号に基づいて一対のトランジスタにそれぞれ流れる電流に応じて、外部信号に응答した内部信号を出力する。電流調整回路は、内部信号のレベルに응答して動作し、差動回路の電流量を調整する。従って、電流調整回路によって、増幅時に発生する外部信号のエッジから内部信号の立ち上がりエッジ及び立ち下がりエッジの相対的な遅延を改善することができる。

## 【0022】

請求項2に記載の発明によれば、電流調整回路は、外部信号の遷移方向に対応して内部信号の응答性を一定にするように差動回路の電流量を調整する。従って、電流調整回路によって、増幅時に発生する外部信号のエッジから内部信号の立ち上がりエッジ及び立ち下がりエッジの相対的な遅延を改善することができる。

## 【0023】

請求項3に記載の発明によれば、電流調整回路は、差動回路に備えられる定電流源に並列に接続されて、該定電流源と協働して電流量を調整する。従って、電流調整回路によって、増幅時に発生する外部信号のエッジから内部信号の立ち上がりエッジ及び立ち下がりエッジの相対的な遅延を改善することができる。

## 【0024】

請求項4に記載の発明によれば、トランジスタは、高電位側電源に接続された定電流源に並列に接続され、内部信号に基づいてオンオフ動作する。そして、トランジスタは、外部信号に対する内部信号の応答性を一定にするように差動回路の電流量を調整する。従って、トランジスタによって、増幅時に発生する外部信号のエッジから内部信号の立ち上がりエッジ及び立ち下がりエッジの相対的な遅延を改善することができる。

## 【0025】

請求項5に記載の発明によれば、トランジスタは、低電位側電源に接続された定電流源に並列に接続され、内部信号に基づいてオンオフ動作する。そして、トランジスタは、外部信号に対する内部信号の応答性を一定にするように差動回路の電流量を調整する。従って、トランジスタによって、増幅時に発生する外部信号のエッジから内部信号の立ち上がりエッジ及び立ち下がりエッジの相対的な遅延を改善することができる。

## 【0026】

請求項6に記載の発明によれば、複数の入力回路は、外部信号と基準信号がそれぞれ入力される一対のトランジスタを備え、外部信号と基準信号に基づいて一対のトランジスタにそれぞれ流れる電流に基づいて、外部信号に応答した内部信号を出力する差動回路と、内部信号のレベルに응答して動作し、差動回路の電流量を調整する電流調整回路とをそれぞれ備える。複数の相補信号生成回路は、各入力回路から出力される内部信号の相補信号をそれぞれ出力する。信号処理回路は、各相補信号生成回路から出力される相補信号のエッジに基づいて所定の信号処理動作を行う。従って、各入力回路では、電流調整回路によって、増幅時に発生する外部信号のエッジから内部信号の立ち上がりエッジ及び立ち下がりエッジの相対的な遅延を改善することができる。その結果、内部信号に基づいて動作する相補信号生成回路及び該回路の相補信号に基づいて動作する信号処理回路の動作マージンを向上することができる。

## 【0027】

請求項7に記載の発明によれば、各相補信号生成回路はそれぞれ複数のCMO

Sインバータ回路で構成され、各相補信号生成回路のインバータ回路が同じ段数で構成される。従って、各相補信号生成回路の動作遅延時間が同じになるため、該回路の相補信号に基づいて動作する信号処理回路の動作マージンを向上することができる。

## 【0028】

請求項8に記載の発明によれば、信号処理回路は相補信号をラッチ動作し、相補信号生成回路は複数段のインバータ回路にて構成され、各インバータ回路を構成するMOSトランジスタの応答速度比率が、相補信号の不定時間が一定となるように設定される。従って、相補信号の不定時間が一定となるため、相補信号に基づいて動作する信号処理回路の動作マージンを向上することができる。

## 【0029】

請求項9に記載の発明によれば、信号処理回路は相補信号を構成する正相信号及び逆相信号の立ち上がりエッジで動作し、相補信号生成回路は複数段のインバータ回路にて構成され、各インバータ回路を構成するMOSトランジスタの応答速度比率が、内部信号のエッジから正相信号及び逆相信号の立ち上がりエッジまでのタイミングが等しくなるように設定される。従って、内部信号のエッジから正相信号及び逆相信号の立ち上がりエッジまでのタイミングが等しくなるため、相補信号に基づいて動作する信号処理回路の動作マージンを向上することができる。

## 【0030】

請求項10に記載の発明によれば、複数の入力回路はストロブ信号が入力される第1の入力回路と、データ信号が入力される第2の入力回路とを有する。信号処理回路はラッチ回路であって、ストロブ信号のエッジに基づいてデータ信号をラッチする。従って、各入力回路では、電流調整回路によって、増幅時に発生する外部信号（ストロブ信号、データ信号）のエッジから内部信号の立ち上がりエッジ及び立ち下がりエッジの相対的な遅延を改善することができる。その結果、ストロブ信号及びデータ信号に基づいてラッチ動作するラッチ回路の動作マージンを向上することができる。

## 【0031】

## 【発明の実施の形態】

以下、本発明を具体化した一実施の形態を図1～図4に従って説明する。尚、説明の便宜上、前記従来例と同様の構成については同一の符号を付してその説明を一部省略する。

## 【0032】

図1は、本実施の形態の入力ラッチ回路11を示す。入力ラッチ回路11は、第1及び第2の入力回路12a、12b、第1及び第2の相補信号生成回路13a、13b、及び、第1及び第2のラッチ回路14a、14bを備えている。

## 【0033】

第1の入力回路12aには、外部データストローブ信号DQSを入力する入力パッド15aが接続される。入力回路12aは、この外部データストローブ信号DQSの振幅を $V_{IH}$ 、 $V_{IL}$ レベルから電源VCC、VSSレベルまで増幅し、外部データストローブ信号DQSと同相のデータストローブ信号dqs<sub>z</sub>を生成する。そして、入力回路12aは、生成したデータストローブ信号dqs<sub>z</sub>を次段の第1の相補信号生成回路13aに出力する。

## 【0034】

図2は、入力回路12aの回路図を示す。入力回路12aは、4つのNMOSトランジスタTN1～TN4、2つのPMOSトランジスタTP1、TP2、インバータ回路5で構成される。NMOSトランジスタTN1～TN3、PMOSトランジスタTP1、TP2は、NMOSトランジスタTN3を定電流源として持つ差動回路を構成する。

## 【0035】

NMOSトランジスタTN4のドレインはノードN1に接続され、ソースは低電位側電源VSSに接続される。NMOSトランジスタTN4のゲートはインバータ回路5の出力端子に接続される。NMOSトランジスタTN4は、データストローブ信号dqs<sub>z</sub>に基づいてオンオフ動作する。

## 【0036】

NMOSトランジスタTN4は、データストローブ信号dqs<sub>z</sub>がHレベルの期間、より詳しくは図3に示すようにデータストローブ信号dqs<sub>z</sub>が電源VCCレベルに立

ち上がってから電源VSSレベルに立ち下がる期間でオン状態になる。オンしたNMOSトランジスタTN4は、NMOSトランジスタTN3と協働し、入力回路12aに流れる電流量を、トランジスタTN3が単体で流す電流量より多くする。即ち、入力回路12aは、データストロブ信号dqs<sub>z</sub>によりNMOSトランジスタTN4をオンオフ動作させ、自己の電流量を調整する。従って、NMOSトランジスタTN4は、入力回路12aの電流量を調整する電流調整回路として作用する。尚、NMOSトランジスタTN4がオンする期間は、ノードN2の電位がLレベルになってから、ほぼHレベルに上昇する期間に相当する。

## 【0037】

ここで、1つのNMOSトランジスタTN1、TN2について説明すると、従来で述べたように、ノードN2の電位を上昇させるときのNMOSトランジスタTN2のドレイン電流、即ち該ドレイン電流に対応したカレントミラー回路6のノードN2への供給電流の方が、ノードN2の電位を下降させるときのNMOSトランジスタTN1のドレイン電流より小さくなる。

## 【0038】

そこで、この形態では、ノードN2の電位がLレベルになってから、上昇してほぼHレベルになるまでの期間、NMOSトランジスタTN4は前記データストロブ信号dqs<sub>z</sub>に基づいてオン状態に切り替えられる。即ち、この期間、オンしたNMOSトランジスタTN4は、NMOSトランジスタTN3と協働して入力回路12aに流れる電流量を多くする。この時、NMOSトランジスタTN2に流れる電流量、即ちカレントミラー回路6がノードN2に供給する電流量は、V<sub>IH</sub>レベルの外部データストロブ信号DQSがゲートに供給されるNMOSトランジスタTN1のドレイン電流量とほぼ同じとなる。

## 【0039】

そのため、図3に示すように、ノードN2の電位が上昇する速度が下降する速度と等しくなるように高速化され、動作遅延時間t<sub>2</sub>と動作遅延時間t<sub>1</sub>とが等しくなる。従って、この入力回路12aは、その立ち下がり時の動作遅延時間t<sub>4</sub>と立ち上がり時の動作遅延時間t<sub>3</sub>が等しいデータストロブ信号dqs<sub>z</sub>を出力する。

## 【0040】

第2の入力回路12bは前記第1の入力回路12aと同様に構成されている。即ち、入力回路12bには、外部データ信号DQを入力する入力パッド15bが接続される。入力回路12bは、この外部データ信号DQの振幅を $V_{IH}$ 、 $V_{IL}$ レベルから電源VCC、VSSレベルまで増幅し、外部データ信号DQと同相のデータ信号dqzを生成する。そして、入力回路12bは、その立ち下がり時の動作遅延時間 $t_4$ と立ち上がり時の動作遅延時間 $t_3$ が等しいデータ信号dqzを次段の第2の相補信号生成回路13bに出力する。

## 【0041】

第1の相補信号生成回路13aは、直列に接続された2つのインバータ回路16、17で構成される。初段のインバータ回路16の入力端子には、前記第1の入力回路12aからデータストロブ信号dqs<sub>z</sub>が入力される。初段のインバータ回路16は、その出力端子から逆相データストロブ信号dqs<sub>180z</sub>を第2のラッチ回路14bに出力する。次段のインバータ回路17は、その出力端子から正相データストロブ信号dqs<sub>0z</sub>を第1のラッチ回路14aに出力する。

## 【0042】

第2の相補信号生成回路13bは前記第1の相補信号生成回路13aと同様に構成されている。即ち、第2の相補信号生成回路13bは、直列に接続された2つのインバータ回路18、19で構成される。初段のインバータ回路18の入力端子には、前記第2の入力回路19からのデータ信号dqzが入力される。初段のインバータ回路18は、その出力端子から逆相データ信号dq<sub>180z</sub>を第1及び第2のラッチ回路14a、14bに出力する。次段のインバータ回路19は、その出力端子から正相データ信号dq<sub>0z</sub>を第1及び第2のラッチ回路14a、14bに出力する。

## 【0043】

尚、この形態では、第1、第2の相補信号生成回路13a、13bを構成するインバータ回路16～19は、CMOSインバータ回路からなる。尚、インバータ回路16～19を構成するPMOSトランジスタ及びNMOSトランジスタの動作速度（応答速度）を、それぞれPch(16)、Nch(16)、Pch(

17), Nch(17)、Pch(18)、Nch(18)、Pch(19)、Nch(19)とする。そして、この形態では、各MOSトランジスタの応答速度の比率が次式に示すように設定される。

【0044】

【数1】

$$\frac{Pch(16)}{Nch(16)} < \frac{Pch(18)}{Nch(18)} = \frac{Pch(19)}{Nch(19)} < \frac{Pch(17)}{Nch(17)}$$

即ち、インバータ回路18、19は、各MOSトランジスタの応答速度の比率が等しく設定される。これにより、図4に示すようにデータ信号dq0z、dq180zのレベルの遷移による信号の不定時間t5が等しくなる。

【0045】

又、インバータ回路16は、各MOSトランジスタの応答速度の比率がインバータ回路18、19のそれより小さくなるように設定され、インバータ回路17は、各MOSトランジスタの応答速度の比率がインバータ回路18、19のそれより大きくなるように設定される。つまり、インバータ回路16ではNch(16)の応答速度がPch(16)の応答速度に相対して速くなるように設定され、インバータ回路17ではPch(17)の応答速度がNch(17)の応答速度に相対して速くなるように設定される。

【0046】

このようにして、インバータ回路16の出力信号の立ち下がり速度と、インバータ回路17の出力信号の立ち上がり速度とが速くされ、かつインバータ回路16の出力信号の立ち下がり速度が遅くされ、図4に示すようにデータストロープ信号dqs0z、dqs180zの立ち上がり時の動作遅延時間t7が等しくしている。

【0047】

更に、図4に示すように、データストロープ信号dqs0z、dqs180zがHレベルになるタイミングが、データ信号dq0z、dq180zにおける各不定時間t5を除いた各確定時間t6の間になるように前記インバータ回路16～19のMOSトランジスタの応答速度比率が設定される。

## 【0048】

第1のラッチ回路14aは、正相データストローブ信号dqs0zの立ち上がりに応答してHレベルのデータ信号dq0z又はHレベルのデータ信号dq180z（、即ちLレベルのデータ信号dq0z）をラッチする。ラッチ回路14aは、そのラッチ信号を正相用内部データ信号din0zとして出力する。

## 【0049】

第2のラッチ回路14bは、逆相データストローブ信号dqs180zの立ち上がりに応答してHレベルのデータ信号dq0z又はHレベルのデータ信号dq180z（、即ちLレベルのデータ信号dq0z）をラッチする。ラッチ回路14bは、そのラッチ信号を逆相用内部データ信号din180zとして出力する。

## 【0050】

従って、入力ラッチ回路11は、図4に示すように外部データストローブ信号DQSの立ち上がりと立ち下がりに応答して外部データ信号DQを取り込み、次の外部データストローブ信号DQSのエッジの入力まで外部データ信号DQをラッチし、その外部データストローブ信号DQSの正相用内部データ信号din0z（外部データストローブ信号DQSの立ち上がりに応答してラッチされたデータ）と、外部データストローブ信号DQSの逆相用内部データ信号din180z（外部データストローブ信号DQSの立ち下がりに応答してラッチされたデータ）とを出力する。

## 【0051】

以上のように構成された入力ラッチ回路11は、例えばDDR（Double Data Rate）-SDRAMに備えられる。DDR-SDRAMは、外部データストローブ信号DQSの立ち上がりと立ち下がりの両エッジにて取り込んだ外部データ信号DQに基づいて動作する。

## 【0052】

このとき、上記したように、データストローブ信号dqs<sub>z</sub>、データ信号dq<sub>z</sub>、データストローブ信号dqs0<sub>z</sub>、dqs180<sub>z</sub>、及びデータ信号dq0<sub>z</sub>、dq180<sub>z</sub>の波形がそれぞれ改善されるので、入力ラッチ回路11では、外部データストローブ信号DQSのエッジが、外部データ信号DQの中間位置、即ち図4において外部データ信号DQのセットアップ時間 $t_{IS}$ とホールド時間 $t_{IH}$ が等しくなる。このため、DDR



- SDRAMは、動作マージンが大きくなり、高速に安定した動作が可能となる。

【0053】

上記したように、本実施の形態では、以下に示す作用効果を得ることができる。

(1) 入力回路12a(12b)には、ノードN1と低電位側電源VSSとの間、即ち定電流源を構成するNMOSトランジスタTN3と並列に接続されるNMOSトランジスタTN4が備えられる。このNMOSトランジスタTN4のゲートにはデータストロープ信号dqsz(データ信号dqz)が入力され、NMOSトランジスタTN4は、データストロープ信号dqsz(データ信号dqz)がHレベルの期間、より詳しくは図3に示すようにデータストロープ信号dqsz(データ信号dqz)が電源VCCレベルに立ち上がってから電源VSSレベルに立ち下がる期間でオン状態になる。オンしたNMOSトランジスタTN4は、NMOSトランジスタTN3と協働し、入力回路12a(12b)に流れる電流量を、トランジスタTN3が単体で流す電流量より多くする。

【0054】

即ち、入力回路12aは、データストロープ信号dqsz(データ信号dqz)によりNMOSトランジスタTN4をオンオフ動作させ、自己の電流量を調整する。この時、NMOSトランジスタTN2に流れる電流量、即ちカレントミラー回路6がノードN2に供給する電流量は、VIHレベルの外部データストロープ信号DQSがゲートに供給されるNMOSトランジスタTN1のドレイン電流量とほぼ同じとなる。

【0055】

そのため、図3に示すように、ノードN2の電位が上昇する速度が下降する速度と等しくなるように高速化され、動作遅延時間t2と動作遅延時間t1とが等しくなる。従って、この入力回路12a(12b)は、その立ち下がり時の動作遅延時間t4と立ち上がり時の動作遅延時間t3が等しいデータストロープ信号dqszを出力する、即ち出力信号の遅延時間を改善することができる。

【0056】

(2) 従来の入力回路 2 a (2 b) に対して、この形態の入力回路 1 2 a (1 2 b) は NMOS トランジスタ T<sub>N4</sub> を新たに加えるだけで実施できるので、簡単な回路構成とすることができる。

【0057】

(3) NMOS トランジスタ T<sub>N4</sub> はデータストロブ信号 dqs<sub>z</sub> (データ信号 dq<sub>z</sub>) に基づいてオンオフ動作するようにしたので、入力回路 1 2 a (1 2 b) の回路構成を簡素化することができる。

【0058】

(4) 第 1, 第 2 の相補信号生成回路 1 3 a, 1 3 b のインバータ回路 1 6 ~ 1 9 の段数が同じ段数で構成される。従って、第 1, 第 2 の相補信号生成回路 1 3 a, 1 3 b の動作遅延時間が同じになるため、次段のラッチ回路 1 4 a, 1 4 b の処理速度を高速化 (動作マージンを向上) することができる。

【0059】

(5) インバータ回路 1 8, 1 9 の各 MOS トランジスタの応答速度の比率が等しく設定され、図 4 に示すようにデータ信号 dq<sub>0z</sub>, dq<sub>180z</sub> のレベルの遷移による信号の不定時間 t<sub>5</sub> が等しくなるように設定される。従って、データ信号 dq<sub>0z</sub>, dq<sub>180z</sub> の不定時間 t<sub>5</sub> が一定となるため、次段のラッチ回路 1 4 a, 1 4 b の処理速度を高速化 (動作マージンを向上) することができる。

【0060】

(6) インバータ回路 1 6 では N<sub>c h</sub> (1 6) の応答速度が P<sub>c h</sub> (1 6) の応答速度に相対して速くなるように設定され、インバータ回路 1 7 では P<sub>c h</sub> (1 7) の応答速度が N<sub>c h</sub> (1 7) の応答速度に相対して速くなるように設定される。このようにして、インバータ回路 1 6 の出力信号の立ち下がり速度と、インバータ回路 1 7 の出力信号の立ち上がり速度とが速くされ、かつインバータ回路 1 6 の出力信号の立ち下がり速度が遅くされて、図 4 に示すようにデータストロブ信号 dqs<sub>0z</sub>, dqs<sub>180z</sub> の立ち上がり時の動作遅延時間 t<sub>7</sub> が等しくなるように設定される。従って、データストロブ信号 dqs<sub>0z</sub>, dqs<sub>180z</sub> の立ち上がるタイミングが等しくなるので、次段のラッチ回路 1 4 a, 1 4 b の処理速度を高速化 (動作マージンを向上) することができる。

## 【0061】

尚、本発明の実施の形態は以下のように変更してもよい。

○上記実施の形態では、図2に示すように、NMOSトランジスタTN2のオン時の電流駆動能力をNMOSトランジスタTN1のオン時の電流駆動能力と同等に高めてノードN2の電位の変化速度を等しくする電流調整回路をNMOSトランジスタTN4にて構成した。

## 【0062】

この電流調整回路の別の形態とした入力回路12cを図5に示す。詳述すると、カレントミラー回路6を構成するPMOSトランジスタTP1、TP2のソースが互いに接続され、そのソースが接続されたノードN3と高電位側電源VCCとの間にPMOSトランジスタTP3、TP4が並列に接続される。PMOSトランジスタTP3のゲートには低電位側電源VSSが供給され、PMOSトランジスタTP3は定電流源として動作する。又、PMOSトランジスタTP4のゲートには、データストロープ信号dqsz（データ信号dqz）がインバータ回路20を介して入力される。従って、PMOSトランジスタTP4はNMOSトランジスタTN4と同時にオンオフ動作される。

## 【0063】

そのため、この形態では、ノードN2の電位がLレベルになってから、上昇してほぼHレベルになるまでの期間、PMOSトランジスタTP4はNMOSトランジスタTN4と同時にオン状態に切り替えられる。即ち、この期間、オンしたNMOSトランジスタTN4及びPMOSトランジスタTP4は、NMOSトランジスタTN3と協働して入力回路12cに流れる電流量を多くする。即ち、この形態では、電流調整回路は、NMOSトランジスタTN4、PMOSトランジスタTP4、インバータ回路20により構成される。この電流調整回路により、NMOSトランジスタTN2に流れる電流量、即ちカレントミラー回路6がノードN2に供給する電流量は、VIHレベルの外部データストロープ信号DQS（外部データ信号DQ）がゲートに供給されるNMOSトランジスタTN1のドレイン電流量とほぼ同じとなる。

## 【0064】

そのため、この形態でも、図3に示すように、ノードN2の電位が上昇する速度が下降する速度と等しくなるように高速化され、動作遅延時間 $t_2$ と動作遅延時間 $t_1$ とが等しくなる。従って、この入力回路12cでは、その立ち下がり時の動作遅延時間 $t_4$ と立ち上がり時の動作遅延時間 $t_3$ が等しいデータストローブ信号dqs<sub>z</sub>（データ信号dq<sub>z</sub>）を出力することができる。

【0065】

又、NMOSトランジスタTN4を省略し、PMOSトランジスタTP3、TP4及びインバータ回路20のみで電流調整回路を構成してもよい。

更に、電流調整回路をNMOSトランジスタTN4、PMOSトランジスタTP3、TP4及びインバータ回路20以外の回路及び素子を適宜用いて構成してもよい。

【0066】

○上記実施の形態では、入力ラッチ回路11をDDR-SDRAMに用い、入力回路12a、12bからのデータストローブ信号dqs<sub>z</sub>（データ信号dq<sub>z</sub>）を、相補信号生成回路13a、13bで各相補信号に変換し、その相補信号に基づいてラッチ回路14a、14bから正相用、逆相用内部データ信号din0<sub>z</sub>、din180<sub>z</sub>を出力しようとしたが、入力ラッチ回路11をSDRAMに用いるべく、従来と同様のラッチ回路3に置換して1つの内部データ信号din<sub>z</sub>を出力するようにしてもよい。

【0067】

○上記実施の形態では、入力回路12a、12bにおいて、差動回路をカレントミラー回路6と定電流源（NMOSトランジスタTN3）で構成したが、この構成に限定されるものではない。

【0068】

【発明の効果】

以上詳述したように、本発明によれば、外部信号に応答した内部信号を生成する入力回路であって、増幅時に発生する外部信号のエッジから内部信号の立ち上がりエッジ及び立ち下がりエッジの相対的な遅延を改善することができる入力回路及びその入力回路を備えた半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図 1】 本実施の形態の入力ラッチ回路の回路図である。

【図 2】 入力回路の回路図である。

【図 3】 入力回路の動作波形図である。

【図 4】 入力ラッチ回路の動作波形図である。

【図 5】 別例の入力回路の回路図である。

【図 6】 従来の入力ラッチ回路の回路図である。

【図 7】 入力回路の回路図である。

【図 8】 入力回路の動作波形図である。

【図 9】 入力ラッチ回路の動作波形図である。

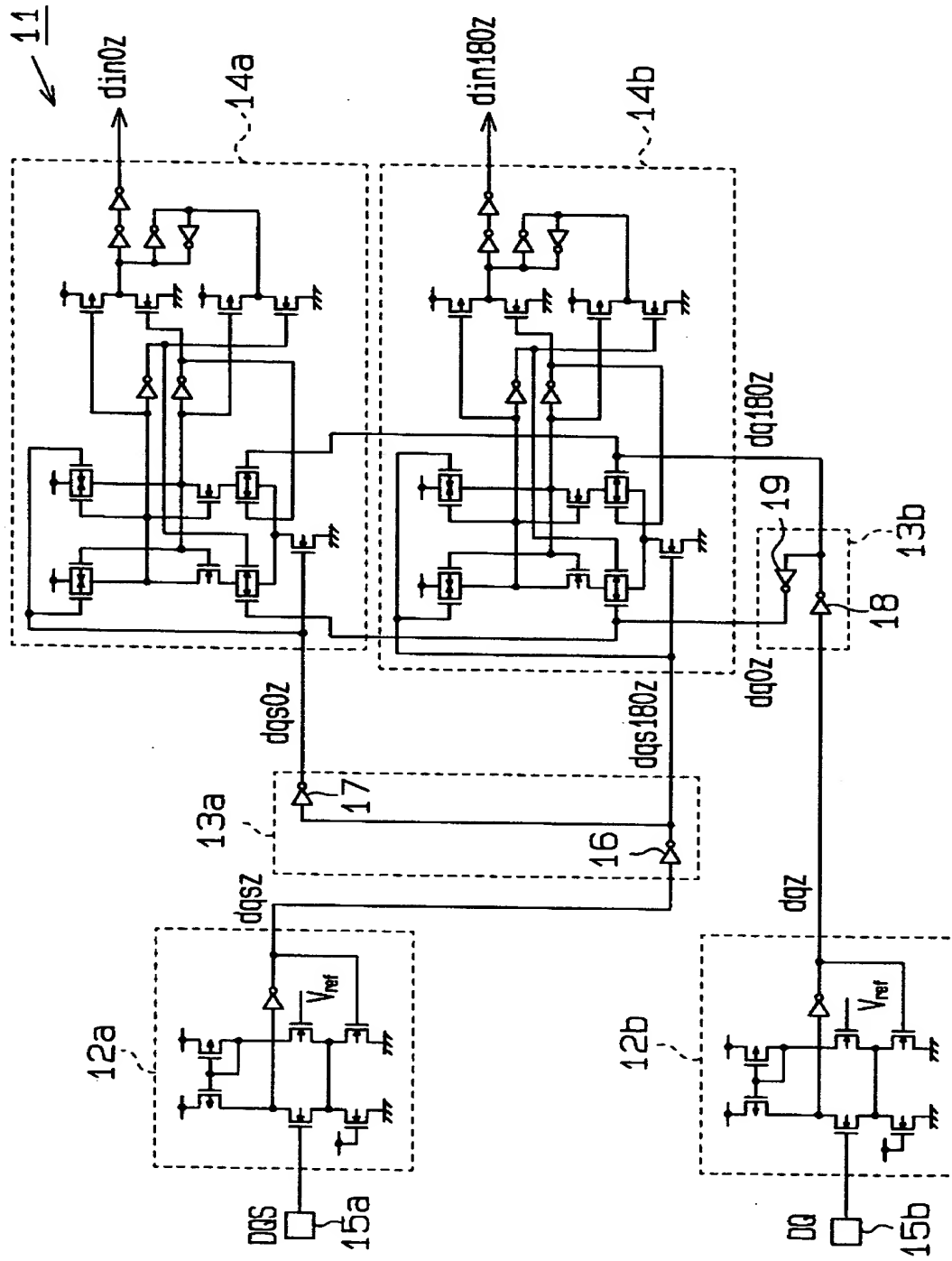
【符号の説明】

|      |                       |
|------|-----------------------|
| 6    | 差動回路を構成するカレントミラー回路    |
| DQS  | 外部信号としての外部データストロープ信号  |
| DQ   | 外部信号としての外部データ信号       |
| dqs2 | 内部信号としてのデータストロープ信号    |
| dq2  | 内部信号としてのデータ信号         |
| TN1  | トランジスタとしてのNMOSトランジスタ  |
| TN2  | トランジスタとしてのNMOSトランジスタ  |
| TN3  | 差動回路を構成するNMOSトランジスタ   |
| TN4  | 電流調整回路を構成するNMOSトランジスタ |
| TP4  | 電流調整回路を構成するPMOSトランジスタ |
| Vref | 基準信号としての基準電圧          |

【書類名】 図面

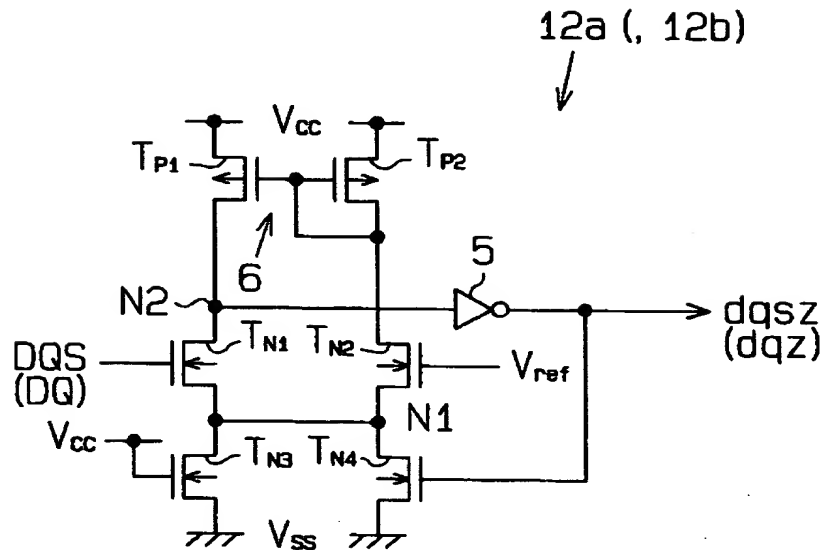
【図 1】

本実施の形態の入力ラッチ回路の回路図



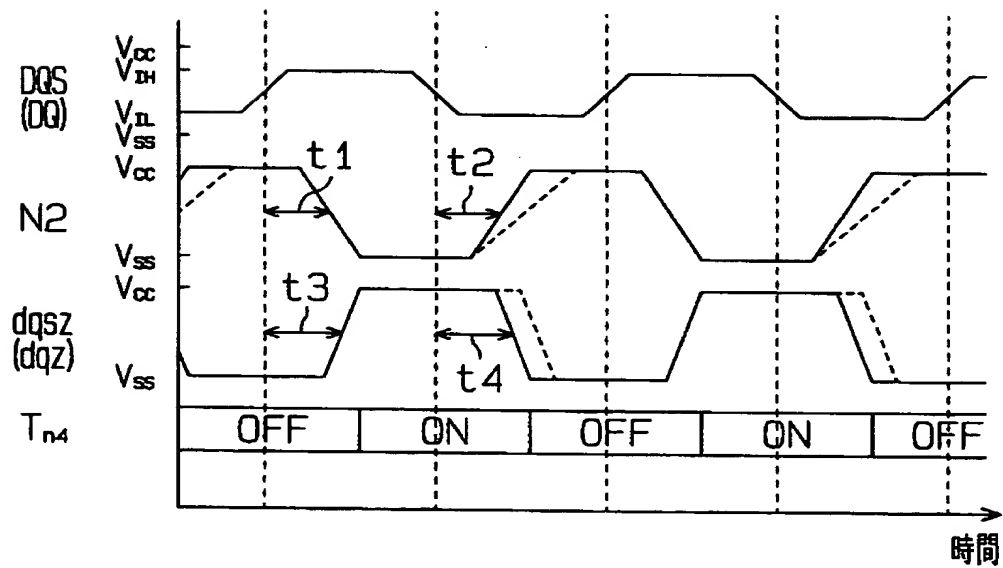
【図 2】

### 入力回路の回路図

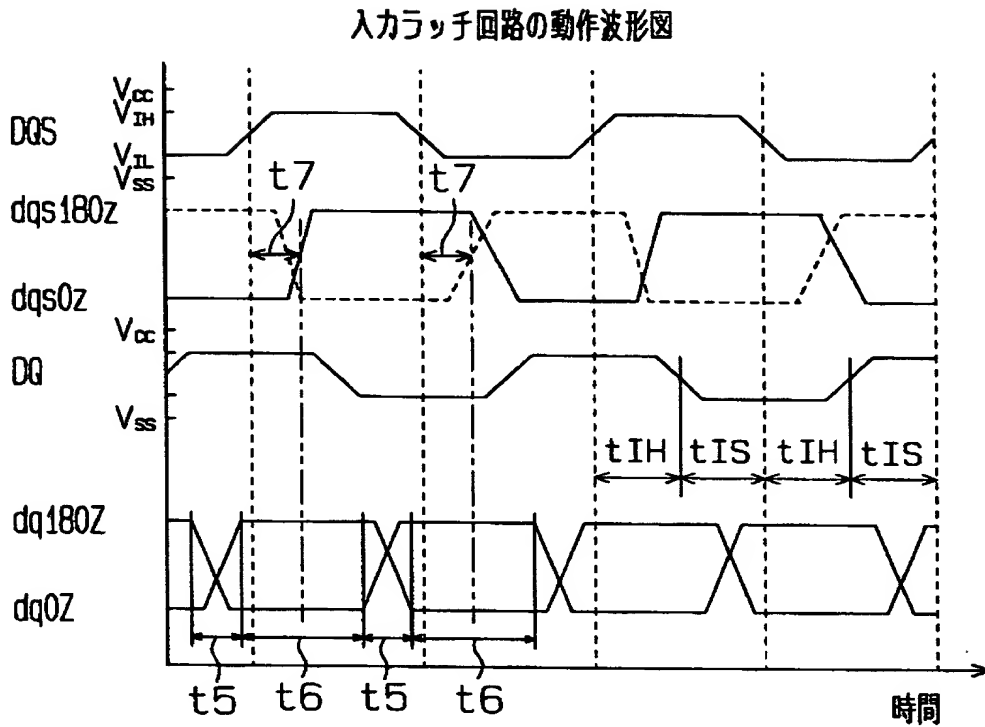


【図 3】

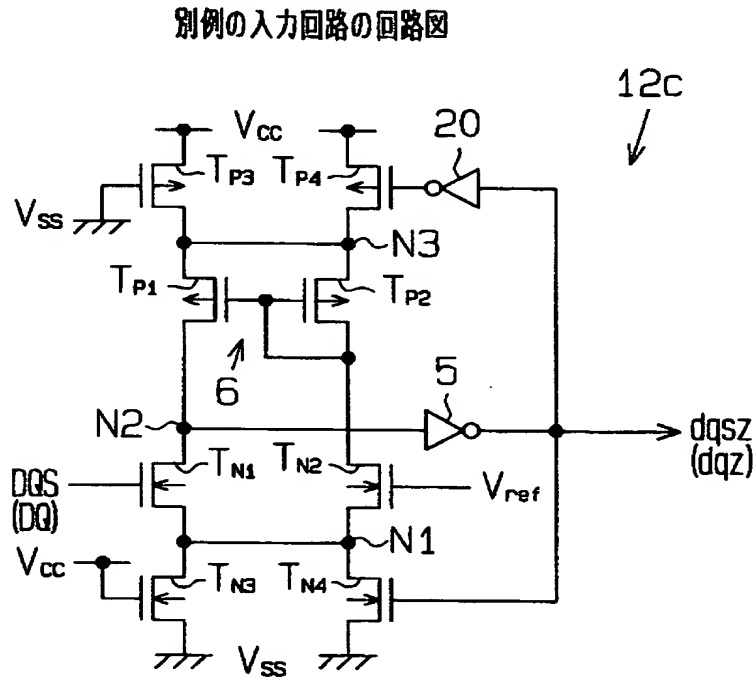
### 入力回路の動作波形図



【図 4】



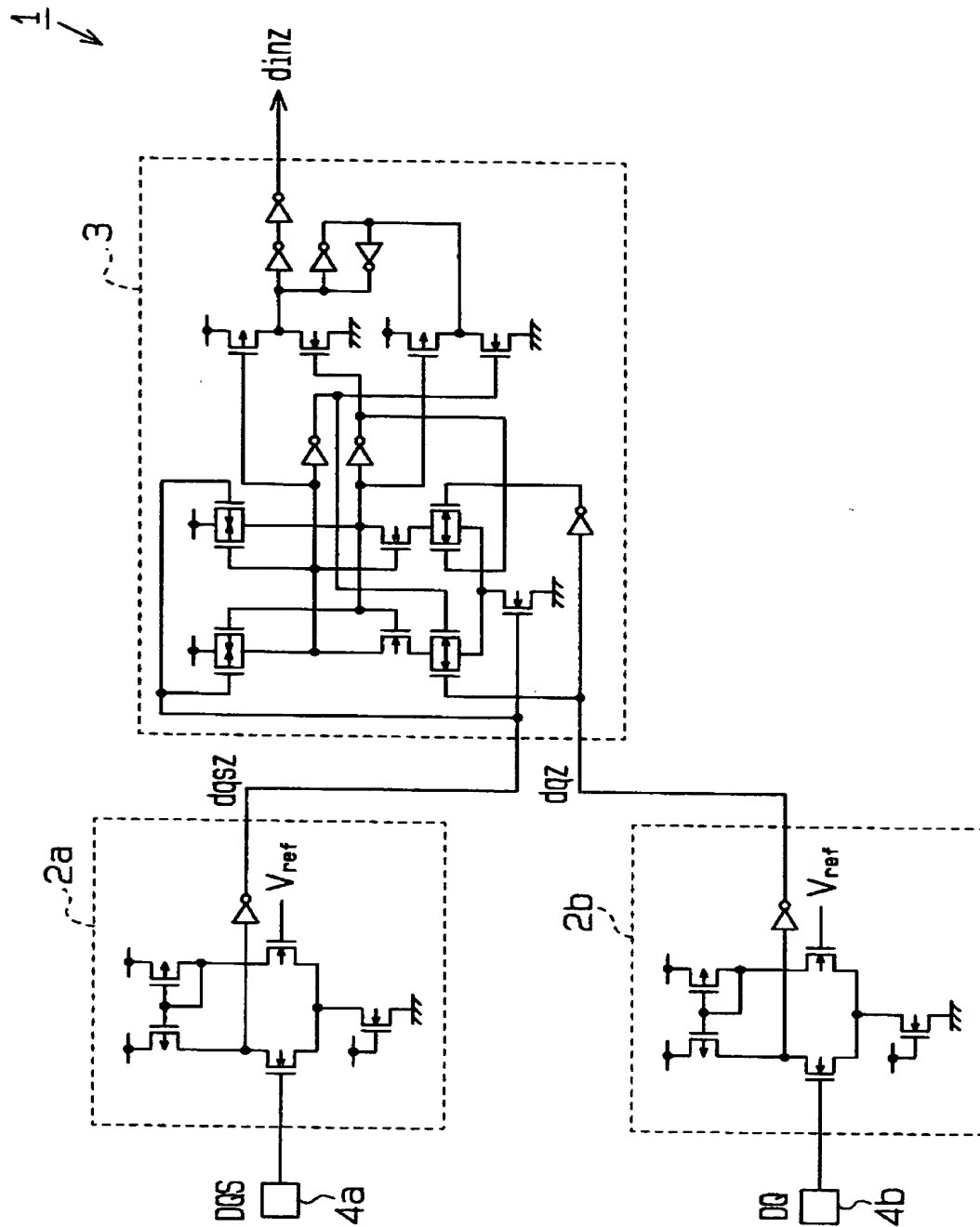
【図 5】





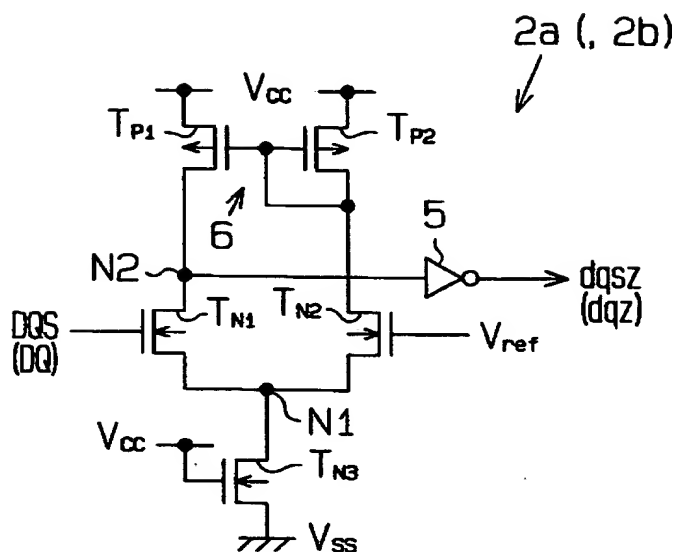
【図 6】

従来の入力ラッチ回路の回路図



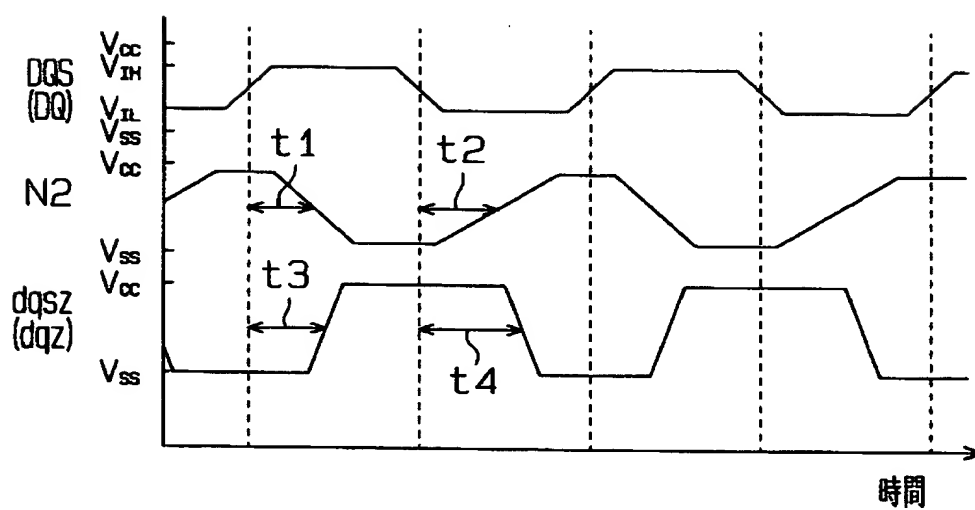
【図 7】

### 入力回路の回路図



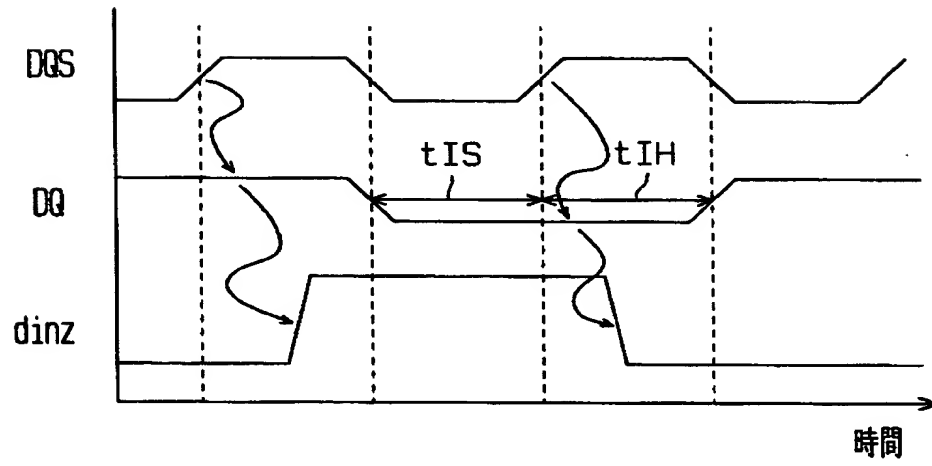
【图 8】

### 入力回路の動作波形図



【図9】

入力ラッチ回路の動作波形図



【書類名】 要約書

【要約】

【課題】 外部信号に応答した内部信号を生成する入力回路であって、増幅時に発生する外部信号のエッジから内部信号の立ち上がりエッジ及び立ち下がりエッジの相対的な遅延を改善する。

【解決手段】 差動回路は、外部信号DQS，DQと基準電圧Vref がそれぞれ入力される一対のNMOSトランジスタTN1，TN2を備え、外部信号DQS，DQと基準電圧Vref に基づいて一対のNMOSトランジスタTN1，TN2にそれぞれ流れる電流に応じて、外部信号DQS，DQに応答した内部信号dqs<sub>z</sub>，dq<sub>z</sub> を出力する。電流調整回路としてのNMOSトランジスタTN4は、外部信号DQS，DQに対する内部信号dqs<sub>z</sub>，dq<sub>z</sub> のレベルに応答して差動回路の電流量を調整すべくオンオフ動作する。

【選択図】 図2

【書類名】

職権訂正データ

【訂正書類】

特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000005223

【住所又は居所】

神奈川県川崎市中原区上小田中4丁目1番1号

【氏名又は名称】

富士通株式会社

【代理人】

申請人

【識別番号】

100068755

【住所又は居所】

岐阜県岐阜市大宮町2丁目12番地の1

【氏名又は名称】

恩田 博宣

出 願 人 履 歴 情 報

識別番号 [000005223]

|          |                       |
|----------|-----------------------|
| 1. 変更年月日 | 1996年 3月26日           |
| [変更理由]   | 住所変更                  |
| 住 所      | 神奈川県川崎市中原区上小田中4丁目1番1号 |
| 氏 名      | 富士通株式会社               |